

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

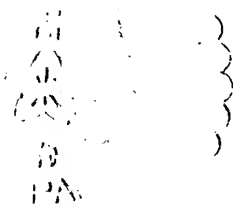
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 2 月 2 2 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 4 2 4 7 1 3  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 4 2 4 7 1 3 ]

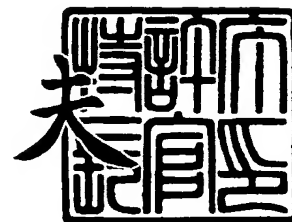
出 願 人                      セイコーエプソン株式会社  
Applicant(s):



2 0 0 4 年    1 月 2 3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 J0105458  
【提出日】 平成15年12月22日  
【あて先】 特許庁長官殿  
【国際特許分類】 G01L 23/00  
【発明者】  
    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内  
    【氏名】 増田 員拓  
【特許出願人】  
    【識別番号】 000002369  
    【氏名又は名称】 セイコーエプソン株式会社  
【代理人】  
    【識別番号】 100095728  
    【弁理士】  
    【氏名又は名称】 上柳 雅誉  
    【連絡先】 0 2 6 6 - 5 2 - 3 5 2 8  
【選任した代理人】  
    【識別番号】 100107076  
    【弁理士】  
    【氏名又は名称】 藤網 英吉  
【選任した代理人】  
    【識別番号】 100107261  
    【弁理士】  
    【氏名又は名称】 須澤 修  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003- 88825  
    【出願日】 平成15年 3月27日  
【手数料の表示】  
    【予納台帳番号】 013044  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0109826

**【書類名】 特許請求の範囲****【請求項 1】**

基板上に電極層が積層された構成を含む半導体装置であって、前記電極層は、複数の導電層がそれぞれ絶縁層を介して積層された構成を具備してなり、該電極層の最上層の導電層より下層側の導電層には孔が形成され、該孔内にはそれぞれ絶縁材料が充填されていることを特徴とする半導体装置。

**【請求項 2】**

請求項 1 に記載の半導体装置を用いる三次元実装型半導体装置の製造方法であって、前記最上層導電層に対して前記下層側導電層の貫通孔と同軸の孔部を形成するとともに、前記下層側貫通孔内の絶縁材料をエッチングすることで前記電極層に貫通孔を形成する電極層貫通孔形成工程と、前記基板に対して該電極層貫通孔と連通する基板貫通孔を形成する工程と、前記電極層貫通孔及び前記基板貫通孔内に導電部材を充填する工程と、を含む半導体装置形成工程と、

該半導体装置を複数用い、各半導体装置をその導電部材を介して積層する半導体装置積層工程と、

を具備することを特徴とする三次元実装型半導体装置の製造方法。

**【請求項 3】**

請求項 2 に記載の製造方法を用いて製造された三次元実装型半導体装置を具備してなることを特徴とする半導体デバイス。

**【請求項 4】**

請求項 3 に記載の半導体デバイスを具備してなることを特徴とする電子機器。

**【書類名】明細書**

**【発明の名称】**半導体装置、三次元実装型半導体装置の製造方法、半導体デバイス、電子機器

**【技術分野】****【0001】**

本発明は、半導体装置、三次元実装型半導体装置の製造方法、半導体デバイス、電子機器に関し、特に三次元実装技術に好適な構成の半導体装置に関するものである。

**【背景技術】****【0002】**

現在、主として携帯電話機、ノート型パーソナルコンピュータ、PDA (Personal data assistance) 等の携帯性を有する電子機器は、小型・軽量化のため、内部に設けられる半導体チップ等の各種の電子部品の小型化が図られており、更にその電子部品を実装するスペースも極めて制限されている。このため、例えば半導体チップにおいては、そのパッケージング方法が工夫され、現在ではCSP (Chip Scale Package) といわれる超小型のパッケージングが案出されている。

このCSP技術を用いて製造された半導体チップは、実装面積が半導体チップの面積と同程度で良いため、高密度実装を図ることができる。

**【0003】**

しかしながら、上記の電子機器は、今後益々小型化及び多機能化が求められることが予想されており、半導体チップの実装密度を更に高める必要が出てきた。

かかる背景の下、例えば特許文献1に開示されているような三次元実装技術が案出されてきた。この三次元実装技術は、同様の機能を有する半導体チップ同士又は異なる機能を有する半導体チップ同士を積層し、各半導体チップ間を配線接続することで、半導体チップの高密度実装を図る技術である。

**【0004】**

**【特許文献1】**特開2002-50738号公報

**【発明の開示】****【発明が解決しようとする課題】****【0005】**

ところで、上述の三次元実装技術においては、各半導体チップ間を配線接続する技術が極めて重要になる。なぜならば、複数の半導体チップからなる半導体装置が所期の機能を発揮するには設計通り配線がなされていることが必要条件であることはもちろんのこと、半導体チップ間の接続を強固にして半導体装置の信頼性を確保する必要があるからである。

**【0006】**

三次元実装技術に用いられる半導体チップは、例えば半導体基板の表面と裏面とに形成された電極と、半導体基板の表面から裏面へ貫通する貫通孔とを有し、この貫通孔を介して上下の電極同士が電氣的に接続された電極構造を有する。そして、このような電極構造を有する半導体チップを積層すると、ある半導体チップの裏面に形成された電極が、他の半導体チップの表面に形成された電極と接続され、これにより各半導体チップ間で配線接続される。

**【0007】**

このような半導体装置において、電極の接続状態、すなわち電氣的接続状態は当該半導体装置の信頼性を確保する上で重要な要素となり、例えば電氣的接続不良が生じた場合には当該半導体装置において誤作動が生じてしまう恐れがある。

そこで、電極の剥がれ防止を目的として複数の電極層を絶縁層を介して積層した場合には、これら複数の電極層と絶縁層とに対して貫通孔を形成し、これに接続端子を挿通させる必要がある。しかしながら、そのエッチング工程は複雑で、各層毎にエッチング条件を変える必要が生じ得る。

**【0008】**

本発明は、上記事情に鑑みてなされたものであり、良好な電氣的接続状態を確保した信頼性の高い三次元実装型半導体装置を好適に製造するための構成を具備した半導体装置を提供することを目的とし、またその三次元実装型半導体装置の製造方法、及びその製造方法により得られた三次元実装型半導体装置を備えた半導体デバイス、ならびに該半導体デバイスを備えた電子機器を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明の半導体装置は、基板上に電極層が積層された構成を含む半導体装置であって、前記電極層は、複数の導電層がそれぞれ絶縁層を介して積層された構成を具備してなり、該電極層の最上層の導電層より下層側の導電層には孔が形成され、該孔内にはそれぞれ絶縁材料が充填されていることを特徴とする。

【0010】

まず、本発明では、電極層を複数の導電層を積層して構成し、該電極層の機械的強度を向上させ、剥がれ等の不具合が生じ難いものとした。

そして、このような半導体装置を三次元実装させる場合には、基板及び電極層を積層方向に貫通する接続端子用貫通孔を形成するとともに、該接続端子用貫通孔内に導電部材（接続端子）を挿通し、各半導体装置の接続端子を上下に接続する必要がある。

一般的に、積層構造の電極層に対して、上述のように接続端子用の貫通孔を形成し、これに接続端子を挿通するには、各導電層と絶縁層を交互にエッチングする必要がある、その工程に非常に手間が掛かるものとなる。

そこで、本発明では、電極層の最上層の導電層より下層側の導電層に貫通孔を形成し、該貫通孔内にそれぞれ絶縁材料を充填した構成としたため、電極層に接続端子用の貫通孔を形成する際には、絶縁材料が充填された貫通孔内部をエッチングすることで、積層された各電極層自身をエッチングすることなく簡便に接続端子用貫通孔を形成することができるようになる。つまり、基板及び電極層を貫通する接続端子用貫通孔を形成するに際して、予め形成しておいた各導電層の貫通孔を穿孔予定部とし、この導電層貫通孔と同軸に、最上層導電層と絶縁層と絶縁材料からなる層（導電層貫通孔内）をエッチングするのみで良く、各電極層とその間の絶縁層を交互にエッチングする必要がなくなったのである。

以上のように、本発明の半導体装置によると、これら半導体装置を三次元実装化するに際し、その工程を簡略化することができ、ひいてはコスト削減に寄与することができるようになる。

なお、最上層導電層の下方、特に基板穿孔予定部にはいかなる電気配線（例えばCMP（化学的機械研磨）用のダミーパターンなど）も形成しないことが好ましい。この場合、該電気配線に考慮せずとも、電極層に対して貫通孔を形成することが可能となる。

【0011】

具体的に上記半導体装置を用いる三次元実装型半導体装置の製造方法としては、例えば以下のようなものを採用することができる。すなわち、本発明の三次元実装型半導体装置の製造方法は、前記最上層導電層に対して前記下層側導電層の貫通孔と同軸の孔部を形成するとともに、前記下層側貫通孔内の絶縁材料をエッチングすることで前記電極層に貫通孔を形成する電極層貫通孔形成工程と、前記基板に対して該電極層貫通孔と連通する基板貫通孔を形成する工程と、前記電極層貫通孔及び前記基板貫通孔内に導電部材を充填する工程と、を含む半導体装置形成工程と、該半導体装置を複数用い、各半導体装置をその導電部材を介して積層する半導体装置積層工程と、を具備することを特徴とする。

【0012】

このような製造方法により製造された三次元実装型半導体装置は、接続端子の役割を担う導電部材の挿通孔（貫通孔）を電極層に対して設けたため、基板上の電極層が形成されていない領域に貫通孔を形成する場合に比して、該基板の省スペース化が可能となり、当該半導体装置の高機能化ないし小型化を実現することが可能となり得る。また、電極層を複数の導電層にて積層されてなる構成としたために、該電極層の機械的強度が向上し、例えば上層の導電層が剥離する等の不具合も生じ難いものとなる。したがって、本発明の製

造方法によれば、電氣的接続不良に基づく誤作動が生じ難く、信頼性の高い三次元実装型半導体装置を提供することが可能となる。

そして、積層型の電極層に予め絶縁部材が充填された貫通孔を形成し、これをエッチングすることで接続端子用の貫通孔を形成するものとしているため、該接続端子用の貫通孔の形成に際して、各導電層及び絶縁層毎に交互にエッチング条件を変更する必要もなく、非常に効率の良く製造することが可能となる。

#### 【0013】

なお、本発明において前記導電部材は、前記貫通孔の孔軸方向への接続端子、すなわち基板上下方向（積層方向）への電氣的接続を行う機能を有している。ここで、導電部材は、前記基板の電極が形成された面とは反対側の面において、その一部が前記貫通孔から外側に突出してなることが好ましく、この場合、突出した部分において外部との電氣的接続を容易に行うことが可能となる。

#### 【0014】

次に、本発明の半導体デバイスは、以上のような半導体装置を具備してなることを特徴とし、この場合、一層小型化で信頼性の高い半導体デバイスを実現することが可能となる。また、本発明の電子機器は、この半導体デバイスを具備してなることを特徴とし、この場合も、一層小型化で信頼性の高い電子機器を実現することが可能となる。

#### 【0015】

なお、本発明において半導体装置に形成する接続端子用貫通孔の孔形状（軸断面形状、或いは開口形状）としては、円形その他、四角形等の多角形も採用することができる。また、一つの電極に対して複数の貫通孔を形成して各貫通孔内に導電部材を挿通し、三次元実装を実現することも可能で、この場合、上下接続における機械的安定性及び電氣的安定性の向上を図ることができるようになる。

#### 【0016】

ここで、電極はアルミニウムを主体として構成されるのが一般的であるが、銅などを用いて形成しても良く、その形状は設計に応じて種々異なるが、例えば一辺が約  $100\mu\text{m}$  程度の角形をなしていても良い。なお、貫通孔内に充填する導電部材についてもアルミニウムや銅を用いることができ、銅を充填させる場合には Cu ダマシン法を採用することができる。すなわち、貫通孔に銅を CVD 法、電界メッキ法等により充填させ、CMP により表面の不要な部分を研磨除去する方法により、導電部材を形成することができる。このように銅を接続端子用の導電部材として用いた場合には、高速デバイスに適した低抵抗化が実現されることとなり非常に有利な半導体装置となり得る。

#### 【発明を実施するための最良の形態】

#### 【0017】

以下、図面を参照して本発明の実施形態について説明する。なお、本実施の形態においては、各図において各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

#### 【実施例 1】

#### 【0018】

図 1 は第 1 の実施の形態の半導体装置（三次元実装型半導体装置）について、その要部を示す部分断面模式図であって、半導体装置（三次元実装型半導体装置）100 は、シリコン基板 10 上に熱酸化膜からなる絶縁膜 12 及び  $\text{SiO}_2$  からなる層間絶縁膜 14 を介して電極パッド 16 が積層された構成の半導体装置本体部 1 を三次元実装してなるものである。

#### 【0019】

各半導体装置本体部 1 は、シリコン基板 10 上に厚さ約  $4000\text{\AA}$  の絶縁膜 12 と、厚さ約  $10000\text{\AA}$  の層間絶縁膜 14 と、厚さ約  $8000\text{\AA}$  の電極パッド 16 とが積層されてなるとともに、これらシリコン基板 10、絶縁膜 12、層間絶縁膜 14、電極パッド 16 を積層方向に貫通する貫通孔 11 を具備してなり、その貫通孔 11 内部には導電部材からなる接続端子 24 が挿通されている。また、電極パッド 16 上には、該電極パッド 16

の貫通孔 11 よりも拡径のパッシベーション膜 18 が形成されている。さらに、電極パッド 16 及びパッシベーション膜 18 上には絶縁層 20 が積層され、該絶縁層 20 は、電極パッド 16 上のパッシベーション膜 18 が形成されていない領域に接続孔 28 を具備するとともに、貫通孔 11 に面する絶縁壁部 13 を具備してなる。また、絶縁層 20 は電極パッド 16 上から貫通孔 11 内面にまで延びて形成され、電極パッド 16 と接続端子 24 との間に位置して、これらを絶縁している。

#### 【0020】

さらに具体的には、絶縁層 20 は、電極パッド 16 の上層面及び貫通孔 11 の内面を覆う形にて形成され、少なくとも電極パッド 16 と接続端子 24 を接続するための接続孔 28 を、貫通孔 11 と基板 10 の面内において異なる位置に具備してなるものであり、これら接続孔 28 と貫通孔 11 との間に絶縁壁部 13 が配設されているのである。このように絶縁壁部 13 は貫通孔 11 の内面に沿って、該電極パッド 16 の表面から突出する環状凸部を少なくとも有してなり、自身も貫通孔 11 に沿う孔部を具備してなるものである。

#### 【0021】

このような絶縁壁部 13 を備える絶縁層 20 の孔内側には下地膜 22 を介して上記接続端子 24 が挿通されている。貫通孔 11 内部に形成された接続端子 24 は、該貫通孔 11 から絶縁層 20 の絶縁壁部 13 を跨ぐ形にて接続孔 28 において電極パッド 16 と接続されている。なお、本実施の形態においては、貫通孔 11 内面の基板 10 と絶縁膜 12 との境界付近において段差が形成されており、これにならって接続端子 24 の孔との接触面には段差が形成されている。また、貫通孔 11 の開口形状（孔軸断面形状）は丸形であるが、その他にも四角形等の多角形状のものを採用することも可能である。

#### 【0022】

電極パッド 16 は、Al、Cu 又はポリシリコンのいずれかからなる導電層 16x、16y、16z が、絶縁層 15a、15b を介して積層された構成を具備してなり、各導電層 16x、16y、16z の厚さは約 3000～8000 Å とされている。そして、各導電層 16x、16y、16z は、上下方向に貫通するコンタクトホール 17 を介して電気的に接続されている。

#### 【0023】

前述したように電極パッド 16 の孔内面には絶縁壁部 13 を具備した絶縁層 20 が形成されており、一方、接続端子 24 は、貫通孔 11 から該絶縁壁部 13 を跨いで接続孔 28 を介して電極パッド 16 と平面的に接続されている。すなわち、貫通孔 11 内部に充填された接続端子 24 は、電極パッド 16 上の貫通孔 11 に面する位置に選択的に形成された絶縁層 20 の絶縁壁部 13 上を覆うとともに、貫通孔 11 の孔面とは異なる位置において、絶縁膜 20 に形成された接続孔 28 にも充填されて電極パッド 16 と接続されている。

#### 【0024】

以上のような電極パッド 16 と接続端子 24 との接続に供する接続孔 28 は、一つの電極パッド 16 に対して多数形成することも可能で、この場合、電極パッド 16 と接続端子 24 との機械的接続強度が強固なものとなり、その接続安定性が向上することとなる。

#### 【0025】

また、接続端子 24 上層には錫—銀からなるメッキ薄膜 19 が形成され、該メッキ薄膜 19 を介して異なる半導体装置本体部が積層接続される。なお、半導体装置本体部 1 においては、シリコン基板 10 の貫通孔 11 から接続端子 24 が若干突出して形成され、その突出した部分が異なる半導体装置本体部の接続端子とメッキ薄膜を介して接続されることとなり、積層された各半導体装置本体部の層間にはアンダフィル 25 が充填されている。

#### 【0026】

このような本実施の形態の半導体装置 100 によると、貫通孔 11 を電極パッド 16 内部に設けたため、シリコン基板 10 上の電極パッド 16 が形成されていない領域に貫通孔を形成する場合に比して、省スペース化が可能となり、当該半導体装置の高機能化ないし小型化を実現することが可能となり得る。

#### 【0027】

以下、図1に示した半導体装置100の製造方法について、その一例を説明する。図2～図6は、半導体装置100を製造する一連の工程の、本発明に関連した工程を断面図にて示す工程図である。なお、本実施形態においては、シリコンウェハ等の半導体基板に対して各種処理を行う場合を例に挙げて説明するが、多数の半導体チップが形成されている状態の半導体基板そのものに対して処理を行うのではなく、個々の半導体チップに対して以下に示す処理を行っても良い。なお、半導体チップの場合には、一般的には直方体（立方体を含む）であるが、その形状は限定されず、円柱状（球状を含む）であってもよい。

#### 【0028】

まず、処理対象の半導体基板の構成について説明する。図2（a）において、図示しないトランジスタ、メモリ素子、その他の電子素子からなる集積回路が形成されたシリコン等からなる基板（シリコン基板）10の表面には、絶縁膜12が形成されている。この絶縁膜12は、例えば基板10の基本的な材料であるSi（シリコン）の酸化膜（ $\text{SiO}_2$ ）で形成されている。

#### 【0029】

絶縁膜12上には、例えば硼磷珪酸ガラス（以下、BPSGという）からなる層間絶縁膜14が形成されている。多層配線構造を有する半導体装置においては、例えば3層配線構造を有する場合、層間絶縁膜14上に、次の層間絶縁膜14a、更にその次の層間絶縁膜14bが積層されることになる。つまりn層多層配線構造を有する場合には、n層分の層間絶縁膜が積層されることとなる（図示せず）。それぞれの層間絶縁膜には、膜厚が5000Å～10000Åのシリコン酸化膜や低誘電率膜が適用される。層間絶縁膜14上には、図示しない箇所では基板10に形成された集積回路と電気的に接続された電極としての電極パッド16が形成されている。この電極パッド16は、Al、Cu又はポリシリコンのいずれかからなる導電層16x、16y、16zが、絶縁層15a、15bを介して積層された構成を具備してなり、各導電層16x、16y、16zの厚さは約3000～8000Åとされている。そして、導電層16x、16y、16zのうち、最上層導電層16x以外の導電層16y、16zには貫通孔61が形成され、該貫通孔61は上記絶縁層15a、15bと同一の絶縁部材から構成されている。なお、本実施の形態では、最上層導電層16xの下方、特に基板穿孔予定部にはいかなる電気配線（例えばCMP（化学的機械研磨）用のダミーパターンなど）も形成しないことが好ましい。この場合、該電気配線に考慮せずとも、電極パッド16に対して穿孔することが可能となる。

#### 【0030】

下層側の導電層16zは、例えばCVD法、又はスパッタリングにより層間絶縁膜14上の全面に形成し、レジスト等を用いて貫通孔61を備えた所定の形状（例えば、円形状）にパターンニングすることにより形成される。そして、導電層16z上に絶縁膜15aを形成し、さらに導電層16yを導電層16zと同様に形成するとともに、該導電層16y上にも絶縁膜15bを形成する。その後、最上層導電層16xをスパッタリングにより全面形成し、所定の形状（例えば、円形状）にパターンニングすることにより電極パッド16が形成される。なお、電極パッド16はAlを主体として構成することができるが、電気抵抗の低い銅を用いて形成することが好ましい。また、電極パッド16は、上記の構成に限られず、必要とされる電気的特性、物理的特性、及び化学的特性に応じて適宜変更しても良い。

#### 【0031】

また、電極パッド16は、基板10に複数形成された半導体チップの面の少なくとも1辺（多くの場合、2辺又は4辺）に沿って並んで形成される。また、この電極パッド16は、各半導体チップの面の辺に沿って形成される場合と、中央部に並んで形成される場合がある。なお、電極パッド16の下方には電子回路が形成されていない。

#### 【0032】

また、層間絶縁膜14上には、電極パッド16を覆うように保護層としてのパッシベーション膜18が形成されている。このパッシベーション膜18は、 $\text{SiO}_2$ （酸化珪素）、 $\text{SiN}$ （窒化珪素）、ポリイミド樹脂等により形成することができる。



**【0033】**

次に、以上の構成の半導体基板に対して行う各工程を順次説明する。まず、スピコート法、ディッピング法、スプレーコート法等の方法によりレジスト（図示省略）を図2（a）に示したパッシベーション膜18上の全面に塗布する。なお、このレジストは、電極パッド16上を覆っているパッシベーション膜18を開口するために用いるものであり、フォトリソ、電子線レジスト、X線レジストの何れであってもよく、ポジ型又はネガ型の何れであってもよい。

**【0034】**

パッシベーション膜18上にレジストを塗布した後、プリベークを行い、所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行うことでレジストを所定形状にパターンニングする。なお、レジストの形状は、電極パッド16の開孔形状（貫通孔61の開孔形状）に応じて設定される。このようなレジストのパターンニング後、ポストベークを行い、図2（b）に示すように、電極パッド16を覆うパッシベーション膜18の一部をエッチングして開口部H1を形成する。図2（b）は、パッシベーション膜18を開口して開口部H1を形成した状態を示す断面図であって、図2（a）とともに本発明の半導体装置に係る構成を具備したものである。

**【0035】**

なお、エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング（RIE：Reactive Ion Etching）であってもよい。また、エッチングとしてウェットエッチングを適用してもよい。パッシベーション膜18に形成される開口部H1の断面形状は、電極パッド16の導電層16y、16zに形成された貫通孔61の開孔形状に応じて設定され、例えば開口部H1の径は、貫通孔61の径より大きい径に設定される。

**【0036】**

以上の工程が終了すると、開口部H1を形成したパッシベーション膜18上のレジスト71をマスクとして、ドライエッチングにより電極パッド16、層間絶縁膜14、及び絶縁膜12を開孔する。図2（c）は、電極パッド16、層間絶縁膜14、及び絶縁膜12を開孔して開口部H2を形成した状態を示す断面図である。なお、ドライエッチングとしてはRIEを用いることができる。

**【0037】**

ここでは、電極パッド16の貫通孔16y、16zの開孔径と略同一の開孔径を具備したレジスト71を用い、電極パッド16と層間絶縁膜14及び絶縁膜12を同一工程にて開孔するものとしているが、例えば電極パッド16を開孔した後に、別工程で層間絶縁膜14及び絶縁膜12を開孔するものとしても良い。つまり、上記プロセスにおいては、同一のレジストマスクを用いてエッチングを繰り返したが、電極パッド16のエッチング工程終了後、レジストをパターンニングし直すものとすることができる。

**【0038】**

以上のような工程により、図2（c）に示すように基板10の表面が露出される。この後、開口マスクとして使用してきたパッシベーション膜18上に形成したレジストを、剥離液或いはアッシング等により剥離する。

**【0039】**

なお、電極パッド16を開孔した後に、別工程で層間絶縁膜14及び絶縁膜12を開孔するものとするれば、例えば図8に示したような半導体装置本体部300を含む半導体装置300を提供することができる。つまり、電極パッド16に形成された貫通孔の孔径と、層間絶縁膜14及び絶縁膜12に形成された貫通孔の孔径が異なり、その結果、該電極パッド16と層間絶縁膜14との境界付近において、貫通孔11の内面に段差が形成されることとなる。この場合、接続端子24が貫通孔11から抜ける等の不具合が生じ難くなり、接続状態の安定性を向上させることが可能となる。

**【0040】**

次に、図3（a）に示すように、基板10を穿孔するためのエッチング用ハードマスク

29を形成する。ハードマスク29は、パッシベーション膜18及び電極パッド16の上層面、及び開口部H2の内面を覆う態様にて形成するものとし、例えばSiO<sub>2</sub>等の絶縁材料を用いてCVD法等により形成することができる。このようにハードマスク29を全面形成したのち、図3(a)に示すように、開口部H2の底においてハードマスク29の開口部H5を形成し、基板10の表面を開口部H2に露出させる。ここでは開口部H5に対応した開口を有するレジストを用いたエッチングにより、ハードマスク29の穿孔を行った。なお、エッチングにはドライエッチングを適用することが好ましい。ドライエッチングは、反応性イオンエッチング(RIE: Reactive Ion Etching)であってもよい。

#### 【0041】

そして、この開口部H5を備えるハードマスク29を用いて、ドライエッチングにより、図3(b)に示すように基板10を穿孔する。なお、ここでは、ドライエッチングとしてRIEのほかにICP(Inductively Coupled Plasma)を用いることができる。図3(b)は、基板10を穿孔して、孔部H3を形成した状態を示す断面図である。なお、ハードマスク29の開口部H5は、基板穿孔時のオーバーエッチ(サイドエッチ)を考慮して、開口径30 $\mu$ m $\sim$ 50 $\mu$ m(例えば30 $\mu$ m)としている。

#### 【0042】

ここでは、パッシベーション膜18及び電極パッド16上、ならびに開口部H1、H2内面に形成されたハードマスク29をレジストマスクとして基板10を穿孔しているため、図3(b)に示すように、基板10に形成される孔部H3の径は、電極パッド16に形成された開口部H2の径よりも小さいものとなる。その結果、開口部H1、H2、及び孔部H3を連通してなる貫通孔に、基板10の一部が突出してなる段差部が形成されることとなる。

#### 【0043】

なお、ハードマスク29の膜厚については、基板10に対して70 $\mu$ m程度の深さの孔を形成する場合には、例えば正珪酸四エチル(Tetra Ethyl Ortho Silicate: Si(OC<sub>2</sub>H<sub>6</sub>)<sub>4</sub>:以下、TEOSという)を原料として、PECVD(Plasma Enhanced Chemical Vapor Deposition)を用いて形成したシリコン酸化膜、即ちPE-TEOS法にて形成したシリコン酸化膜を2 $\mu$ m程度形成する必要がある。ハードマスク29の形成方法としては、PE-TEOS法の他にも、オゾンとTEOSを用いて熱CVD法によりシリコン酸化膜を形成する、即ちO<sub>3</sub>-TEOS法、或いはSiH<sub>4</sub>-N<sub>2</sub>O系、SiH<sub>4</sub>-O<sub>2</sub>系のプラズマ励起CVD法により形成することも可能である。また、基板穿孔工程により、ハードマスク29も薄膜化され、該穿孔工程後には膜厚が1000 $\text{\AA}$  $\sim$ 9000 $\text{\AA}$ 程度に減少することとなる。つまり、本実施の形態では、ハードマスク29の膜厚をオーバーエッチング量よりも大きな値となるように設定した。

#### 【0044】

ここで、通常用いられるフォトリソマスクでは、ドライエッチングの耐性が乏しいため70 $\mu$ m孔設に対して10 $\mu$ m程度のレジストマスクが必要で、厚膜によりコストアップに繋がる上、プロセス的にもアスペクト比が大きくなり、非効率的である。しかしながら、上述のようなハードマスク29によると、膜厚を薄くでき、コスト削減とともに効率的な製造プロセスを実現できる。

#### 【0045】

以上の工程が終了すると、孔部H3よりも孔内側に突出して残されたハードマスク29の突出部29aをエッチングにより除去する。すなわち電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に残されたハードマスク29について、孔部H3よりも突出した突出部29aを選択的に除去し、図4(a)に示すように電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に薄膜の絶縁膜29が残存するようにエッチングする。図4(a)は、電極パッド16の上方並びに開口部H2の内壁に絶縁膜20を残存させた状態を示す断面図である。このようなエッチングを行うことで、孔部H3の開口径よりも大きい開口径を有する形にて、電極パッド16、層間絶縁膜14、絶縁膜12の開口部内壁に薄層絶縁膜29を形成する(残存させる)ことが可能である。なお、この場合の薄層絶

絶縁膜 29 の電極パッド 16 内に相当する部分の開口径は、形成した基板貫通孔の開口径及び形成した電極孔の開口径に対応させる。例えば、薄層絶縁膜 29 の電極パッド 16 内に相当する部分の開口径は、基板貫通孔の開口径を  $30\ \mu\text{m}$ 、電極孔の開口径を  $60\ \mu\text{m}$  としたとき、その間の値の  $40\ \mu\text{m} \sim 58\ \mu\text{m}$  (例えば  $50\ \mu\text{m}$ ) 程度となる。

#### 【0046】

次に、突出部 29a 除去用のレジストを除去した後、絶縁膜 29 上及び孔部 H3 内に絶縁膜の被覆処理を行う。ここでは、PE-TEOS 法にて、シリコン酸化膜を  $1 \sim 3\ \mu\text{m}$  程度形成するものとしており、その結果、図 4 (b) に示すように、基板 10、絶縁膜 12、14、電極パッド 16 に連通した貫通孔 11 内部に絶縁膜 20 を形成することができる。また、絶縁膜 20 はプラズマ CVD 法により  $1 \sim 3\ \mu\text{m}$  程度形成されたシリコン窒化膜であってもよい。また、前述のシリコン酸化膜とシリコン窒化膜を積層して  $1 \sim 3\ \mu\text{m}$  形成することで、絶縁膜 20 を形成してもよい。また、シリコン酸化膜とシリコン窒化膜とを積層して形成する場合には、シリコン酸化膜を形成した後に、シリコン窒化膜を形成することで、シリコン酸化膜をシリコン窒化膜よりも基板 10 に近い位置に形成してもよい。

#### 【0047】

続いて、絶縁膜 20 上にレジスト (図示省略) を塗布する。このレジストは、電極パッド 16 の一部を開口するために用いるものであり、このレジストを塗布した後、プリベークを行い、さらに所定のパターンが形成されたマスクを用いて露光処理及び現像処理を行い、電極パッド 16 の上方以外の部分並びに孔部 H3 及びその周辺部のみにレジストが残された形状、例えば孔部 H3 (周辺部を含む) を中心とした円環形状にレジストをパターンニングする。

#### 【0048】

レジストのパターンニングが終了すると、ポストベークを行った後、エッチングにより電極パッド 16 の一部を覆う絶縁膜 20 を除去することで、図 5 (a) に示すように電極パッド 16 の開口周辺に絶縁壁部 13 を残存させた状態で、該電極パッド 16 の一部に接続孔を開口する。図 5 (a) は、電極パッド 16 を覆う絶縁膜 20 の一部を除去した状態を示す断面図である。図 5 (a) に示すように、電極パッド 16 の開口周辺部を除いた領域には接続孔 28 が形成され、電極パッド 16 の一部が露出した状態となる。なお、この接続孔 28 によって、後の工程で形成される接続端子 (電極部) と電極パッド 16 とを接続することができる。

#### 【0049】

以上の工程が終了すると、絶縁膜 20 の表面、電極パッド 16 の露出部、並びに貫通孔 11 の内面及び底部に、バリア層及びシード層を含む下地膜 22 を形成する工程が行われる。図 5 (b) は、下地膜 22 を形成した状態を示す断面図である。図 5 (b) に示すように、下地膜 22 は、絶縁壁部 13 と接続孔 28 内部を十分にカバーして、電極パッド 16 上と絶縁膜 20 上に連続的に形成される。

#### 【0050】

下地膜 22 の形成が終了すると、接続端子を形成するためのレジストを塗布し、次に、電気化学プレーティング (ECP) 法を用いて、貫通孔 11 の内部及び接続孔 28 の内部を含む形にて下地膜 22 上にメッキ処理を施して、図 6 (a) に示すように貫通孔 11 内部を銅で埋め込むとともに、絶縁壁部 13 を跨いで接続孔 28 内部にも銅を埋め込み、接続端子 24 を形成する工程を行う。このようにして、貫通孔 11 とは異なる領域の接続孔 28 において、接続端子 24 と電極パッド 16 とが電氣的に接続され、基板 10 の表面側の外部電極となる接続端子 24 が形成される。

#### 【0051】

この後、レジストを剥離し、バリア層及びシード層の不要部 (図示省略) をエッチングにより除去することにより、図 6 (b) に示すような状態が形成される。

#### 【0052】

以上の工程を経て製造された半導体装置本体部は、例えば接続端子 24 が基板 10 の裏

面に露出するまで基板 10 の裏面が研磨され、露出した接続端子 24 と電氣的に接続された電極が形成される。また、接続端子 24 近傍まで基板 10 を裏面から研磨した後、接続端子 24 が露出するように基板 10 の裏面にエッチングを行うことで、接続端子 24 を基板 10 の裏面から露出させてもよい。そして、基板 10 の表面及び裏面に共に電極が形成された半導体装置本体部を積層し、又は、基板 10 の表面及び裏面に共に電極が形成された半導体装置本体部を少なくとも 1 つ含んで積層して半導体装置本体部間を配線することにより高密度実装が可能な三次元実装型（スタックド型）の半導体装置が製造される。

#### 【0053】

なお、各半導体装置本体部を積層するには、上下に配置された半導体装置本体部の電極を、ハンダ等のロウ材によって電氣的な導通を取りつつ、接合するようにしても良い。また、半導体装置本体部を接合するためだけの接着材を用いても良い。この接着剤は、液状又はゲル状の接着剤であってもよいし、シート状の接着シートであってもよい。接着剤は、エポキシ樹脂を主な材料とするものであってもよく、絶縁性のものであってもよい。

#### 【0054】

また、接着剤により半導体装置本体部同士を接合するだけではなく、電氣的な導通を取る場合には、導電性物質を含んだ接着剤を用いても良い。この導電性物質は、例えば、ロウ材、ハンダ等の粒子で構成され、それらが接着材料中に分散している。こうすることで、被接続体同士の接合時に、その粒子が接合のロウとして働き、接合性をさらに著しく向上することができる。

#### 【0055】

接着剤は、導電粒子が分散された異方性導電接着剤（ACA）、例えば異方性導電膜（ACF）や異方性導電ペースト（ACP）であってもよい。異方性導電接着剤は、バインダに導電粒子（フィラー）が分散されたもので、分散剤が添加される場合もある。異方性導電接着剤のバインダとして、熱硬化性の接着剤が使用されることが多い。その場合には、配線パターンと電極との間に、導電粒子が介在して両者間の電氣的な接続が図られる。

#### 【0056】

また、電極間の電氣的な接続には、Au-Au、Au-Sn、ハンダ等による金属接合を適用してもよい。例えば、電極にこれらの材料を設け、熱のみ、超音波振動のみ、又は超音波振動及び熱等を印加して両者を接合する。両者が接合されると、振動や熱によって電極に設けられた材料が拡散して金属接合が形成される。

#### 【0057】

以上のように積層されて形成される三次元実装型の半導体装置の最も下（又は最も上）に位置する半導体装置本体部の接続端子 24 には、外部端子が接続される。この外部端子はハンダ又は金属等で形成することができるが、必ずしもこれらに制限される訳ではなく、導電性の部材で形成すればよい。また、ハンダボールは必ずしも必要ではなく、半導体装置本体部を基板上に実装して、半導体モジュールを構成してもよい。さらに、ハンダボールを形成せず、マザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で電氣的な接続をとってもよい。

#### 【0058】

以上説明したように、本実施形態による半導体装置の製造方法によれば、電極パッド 16 に対し接続端子 24 を挿通する貫通孔 11 を形成するに際して、積層された導電層 16y, 16z に予め絶縁部材が充填された貫通孔 61 を形成し、これをエッチングすることで接続端子充填用の開口部 H2 を形成するものとしているため、該接続端子用の開口部の形成に際して、各導電層 16y, 16z 及び絶縁層 15a, 15b 毎に交互にエッチング条件を変更する必要もなく、非常に効率の良く製造することが可能となる。また、本実施形態によれば、電極パッド 16 に開口部 H2 を穿孔して接続端子 24 を形成するものとしているため、電極パッド 16 の形成位置とは異なる位置に接続端子 24 を形成した場合に比べて、半導体装置の面積を有効に利用することができ、その結果として半導体装置の設計の自由度が向上する。つまり、接続端子 24 を電極パッド 16 の形成位置とは異なる位置に形成した場合には、接続端子 24 の大きさが制限されることがあったが、本実施形態

では接続端子24の大きさを電極パッド16と同程度の大きさにすることができるため、これにより他の半導体装置と接続される面積が大になり、その結果として半導体装置の信頼性・信頼性を向上させることができる。

#### 【0059】

なお、本実施形態では接続端子24を構成する導電部材として銅を用いており、銅を充填させる際にCuダマシン法を採用することができる。すなわち、孔部H3に銅をCVD法や、電界メッキ法等により充填させ、CMPにより表面の不要物を研磨除去する方法により、接続端子24を形成することができる。勿論、接続端子24は銅以外のアルミニウム等を主体として構成することも可能である。

#### 【実施例2】

#### 【0060】

次に、本発明の半導体装置の第2の実施の形態について説明する。図7は第2の実施の形態の半導体装置について、その要部を示す部分断面模式図であって、第1の実施の形態の図1に相当する図である。第2の実施の形態の半導体装置200は、シリコン基板10上に絶縁膜12及び層間絶縁膜14を介して電極パッド16が積層された構成の半導体装置本体部1を複数積層してなるものであって、第1の実施の形態と大きく異なる点は、シリコン基板10、絶縁膜12、層間絶縁膜14及び電極パッド16を貫通する貫通孔11が面一に形成されている点である。したがって、図1と同じ構成のものについては、該図1と同じ符号を付し説明を省略する。

#### 【0061】

各半導体装置本体部2は、シリコン基板10と電極パッド16（複数の導電層16x, 16y, 16zが積層されてなる）の積層方向に面一で貫通する貫通孔11を具備してなり、該貫通孔11内部には導電部材からなる接続端子24が挿通されている。このような本実施の形態の半導体装置200によると、貫通孔11の内面が面一で段差の生じない状態で形成されているため、当該貫通孔11内面へのメッキ処理等が容易となり、段差がある場合に比して均一な薄膜を形成することが可能となる。

#### 【0062】

本実施の形態においても、貫通孔11を電極パッド16内部に設けたため、シリコン基板10上の電極パッド16が形成されていない領域に貫通孔を形成する場合に比して、省スペース化が可能となり、当該半導体装置の高機能化ないし小型化を実現することが可能となり得る。

#### 【0063】

なお、図7に示した半導体装置200の製造方法については、図2(b)から図2(c)に示したような、電極パッド16及び絶縁膜12, 14に対する開口工程と、基板10に対する穿孔工程とを同一工程にて行うのが良い。これにより、各層の開口径が略同一となり、段差のない、若しくは段差の少ない貫通孔11を形成することができる。なお、このような方法によっても若干の段差が生じた場合には、その段差の部分をエッチングにより除去するものとしても良い。

#### 【0064】

上記のような基板10に対する穿孔工程を行った後は、図4(b)に示すような絶縁膜20、図5に示すような接続孔28及び下地膜22を形成し、接続端子24を充填することで、貫通孔11に段差のない半導体装置本体部2を得ることができる。

#### 【実施例3】

#### 【0065】

図9は、本発明の半導体デバイスの一実施形態たる回路基板の概略構成を示す斜視図である。図9に示すように、本実施の形態の半導体デバイス102は、上記半導体装置100(200, 300)が回路基板101上に搭載された構成を具備している。回路基板101には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板101には例えば銅等からなる配線パターンが所望の回路となるように形成されており、それらの配線パターンと半導体装置100の配線パターンとが機械的に接続され、又は

、上述した異方性導電膜を用いて電氣的な導通がとられている。

【0066】

また、本実施形態の半導体装置を具備した半導体デバイスを有する電子機器として、図 10 にはノート型パーソナルコンピュータ 201 が示されている。図 9 に示した半導体デバイスは各電子機器の筐体内部に配置される。

【0067】

また、電子機器は、上記のノート型コンピュータ及び携帯電話に限られる訳ではなく、種々の電子機器に適用することができる。例えば、液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、ページャ、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS 端末、タッチパネルを備えた装置等の電子機器に適用することが可能である。

【図面の簡単な説明】

【0068】

【図 1】 第 1 の実施の形態の半導体装置について概略構成を示す断面模式図。

【図 2】 図 1 の半導体装置の一製造工程を示す断面模式図。

【図 3】 図 2 に続く、半導体装置の一製造工程を示す断面模式図。

【図 4】 図 3 に続く、半導体装置の一製造工程を示す断面模式図。

【図 5】 図 4 に続く、半導体装置の一製造工程を示す断面模式図。

【図 6】 図 5 に続く、半導体装置の一製造工程を示す断面模式図。

【図 7】 第 2 の実施の形態の半導体装置について概略構成を示す断面模式図。

【図 8】 半導体装置の一変形例について概略構成を示す断面模式図。

【図 9】 第 3 の実施の形態の半導体デバイスについて概略構成を示す斜視図。

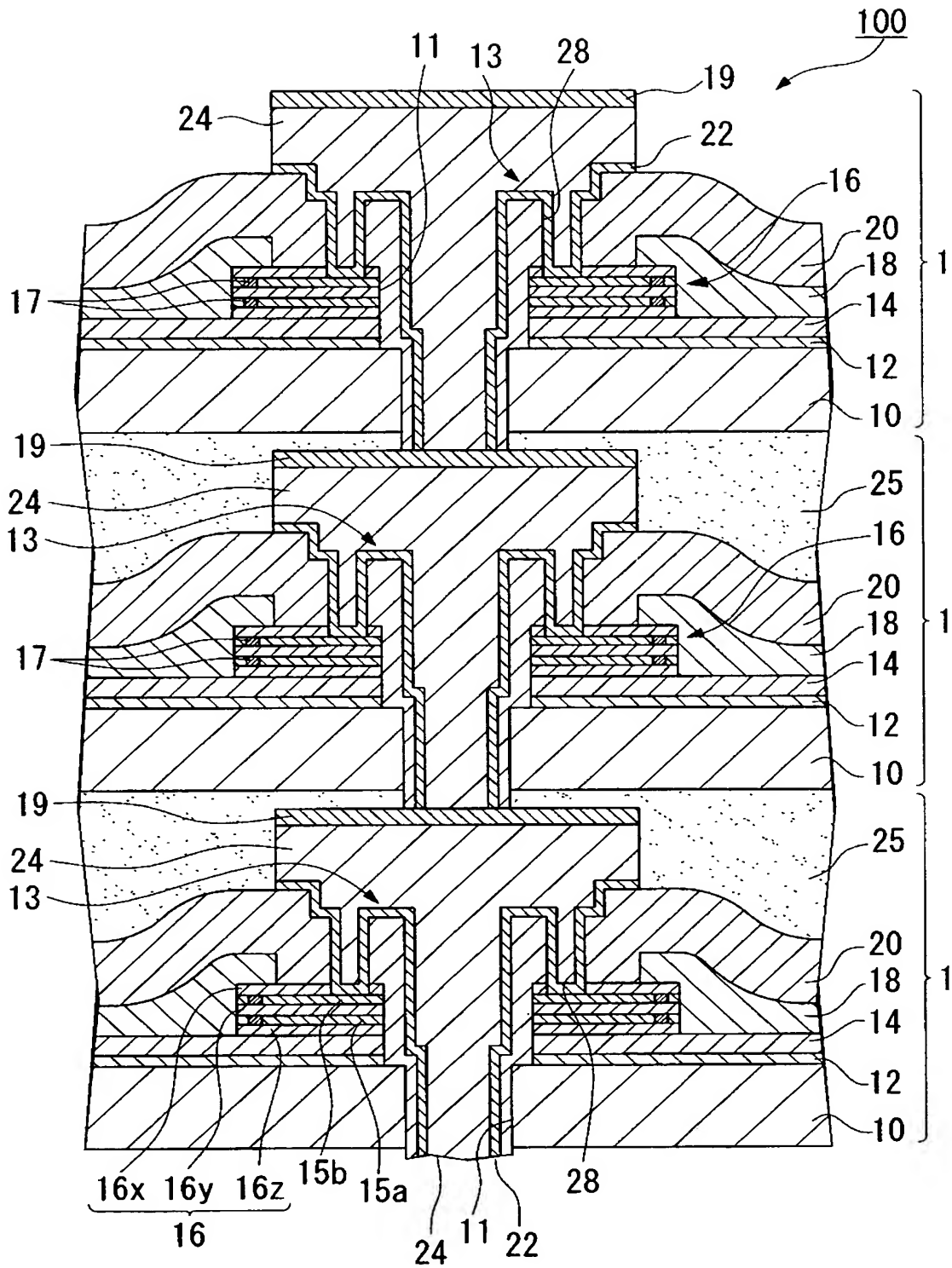
【図 10】 電子機器の一実施の形態について概略構成を示す斜視図。

【符号の説明】

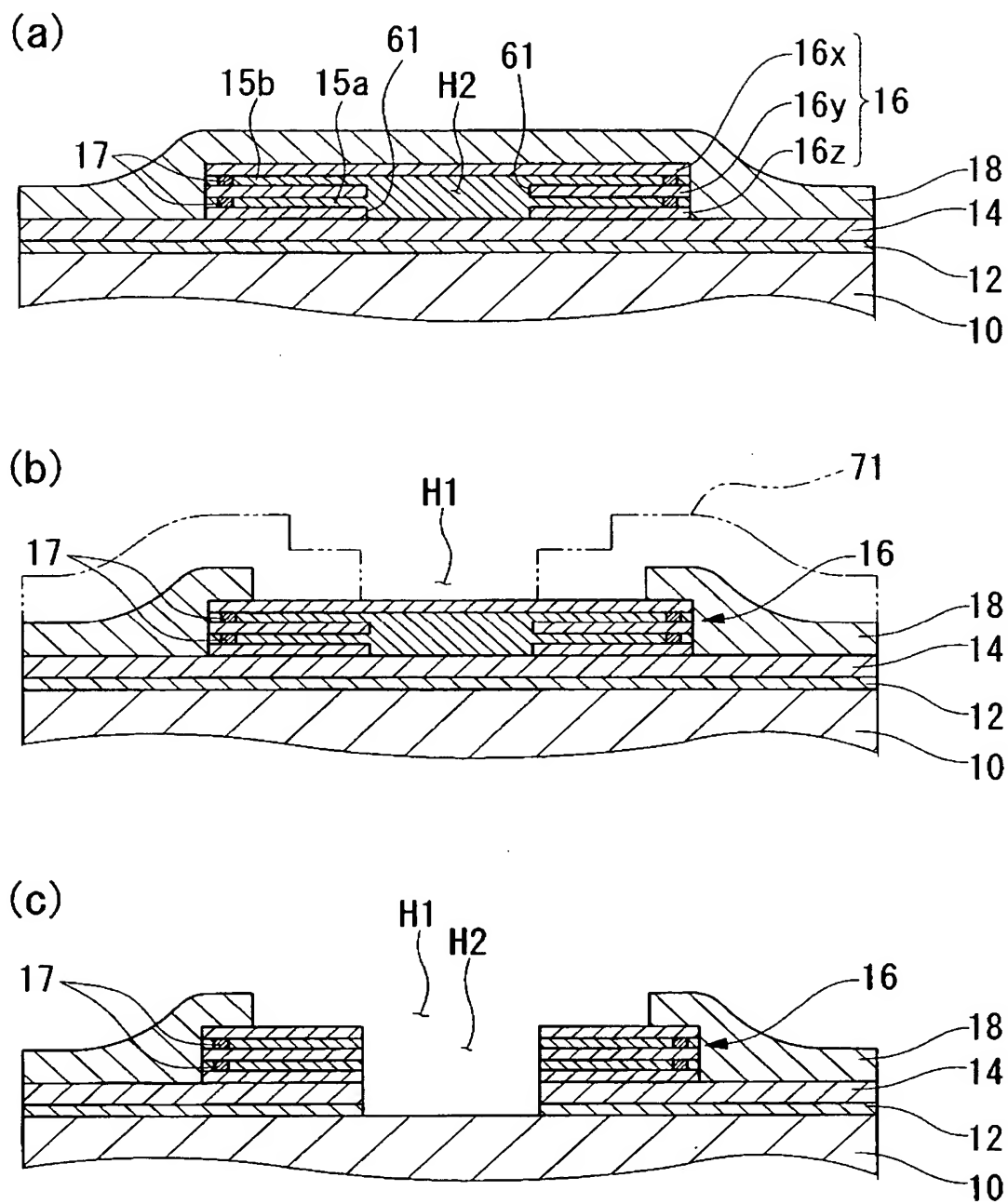
【0069】

1, 2…半導体装置本体部（半導体装置）、10…シリコン基板（基板）、11…貫通孔、13…絶縁壁部（絶縁部材）、16…電極パッド（電極層）、16x, 16y, 16z…導電層、18…パッシベーション膜（絶縁膜）、20…絶縁膜、24…接続端子（導電部材）、100, 200, 300…半導体装置（三次元実装型半導体装置）、102…半導体デバイス、201…電子機器。

【書類名】 図面  
【図 1】

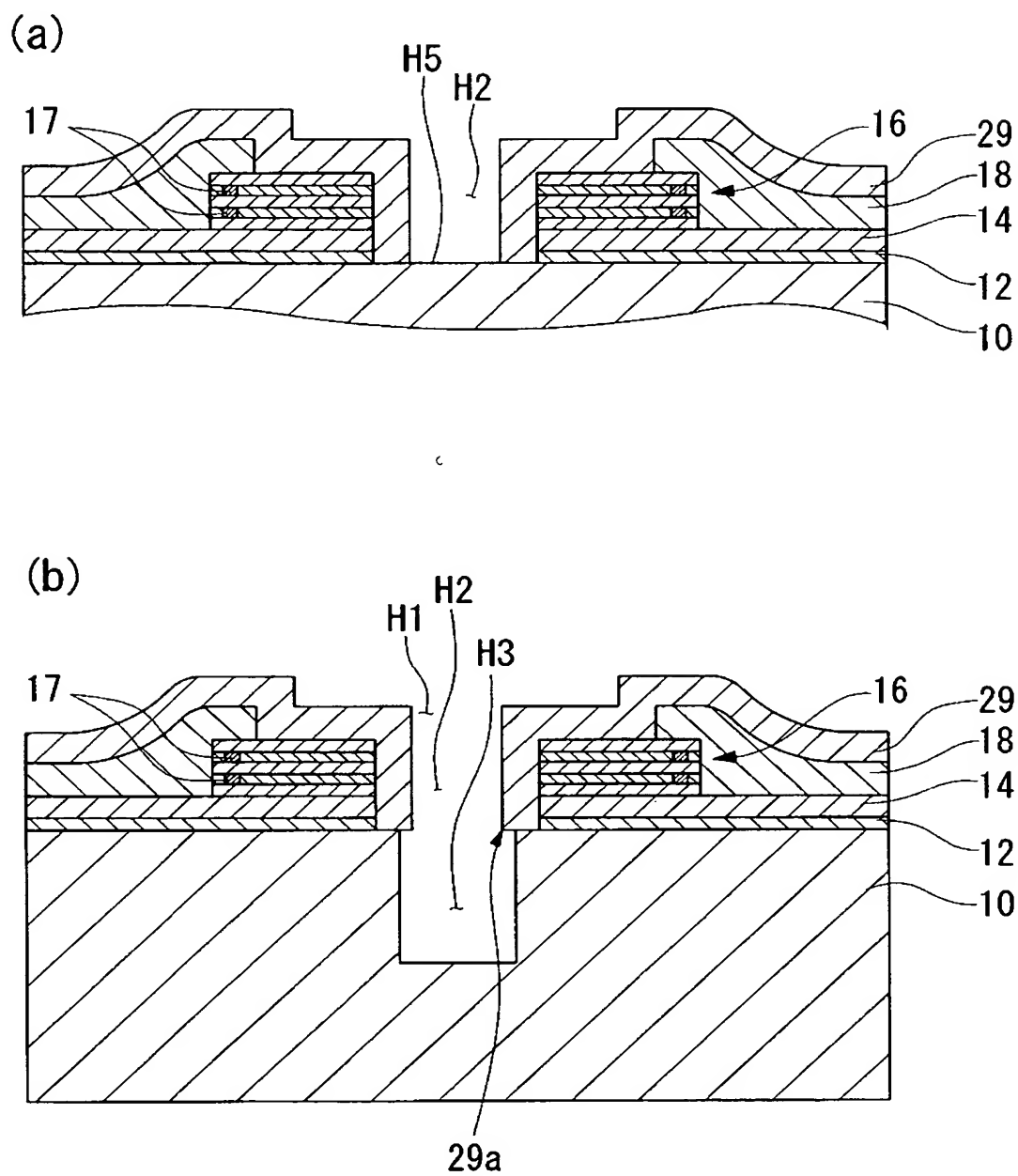


【図 2】

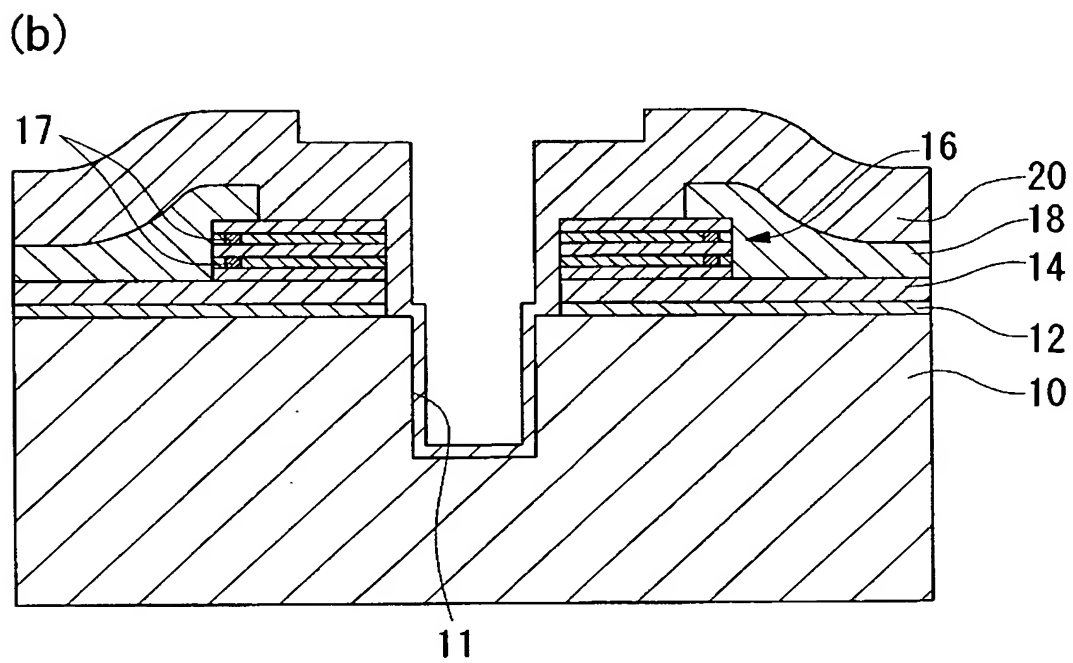
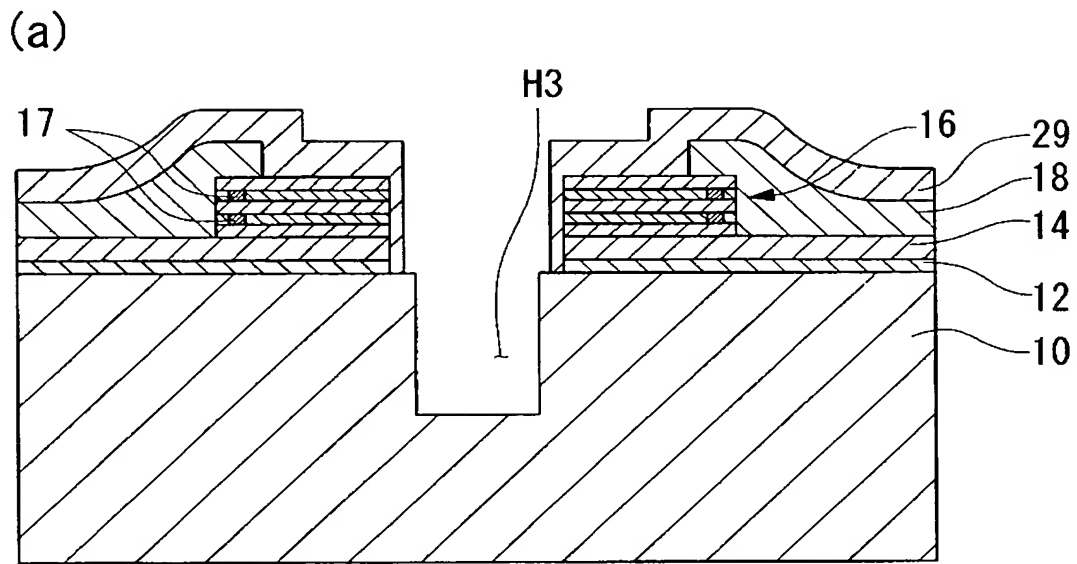




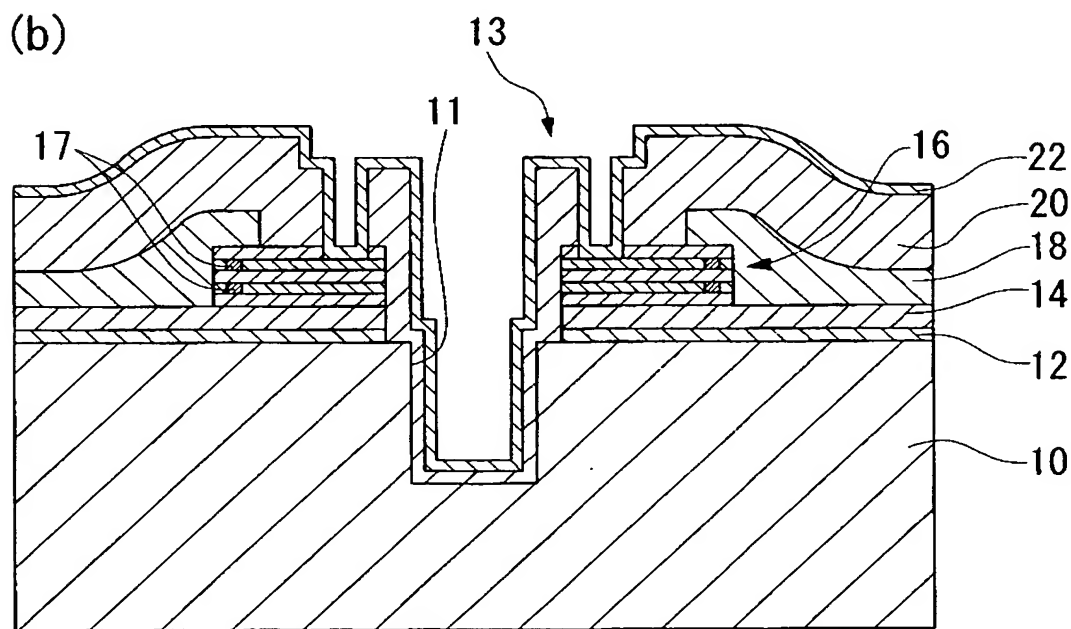
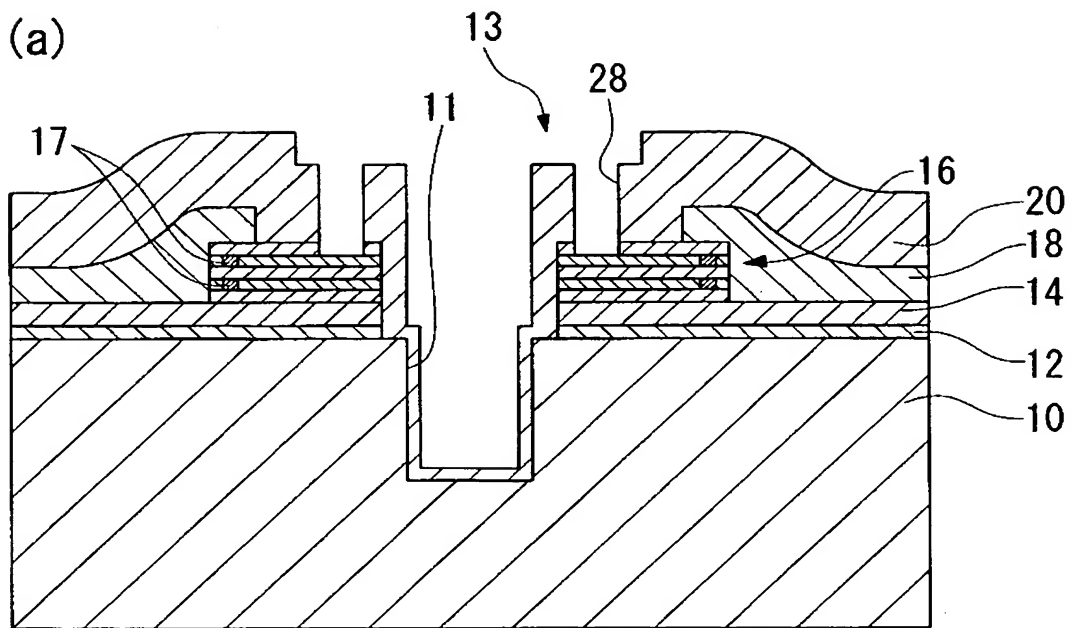
【図 3】



【圖 4】

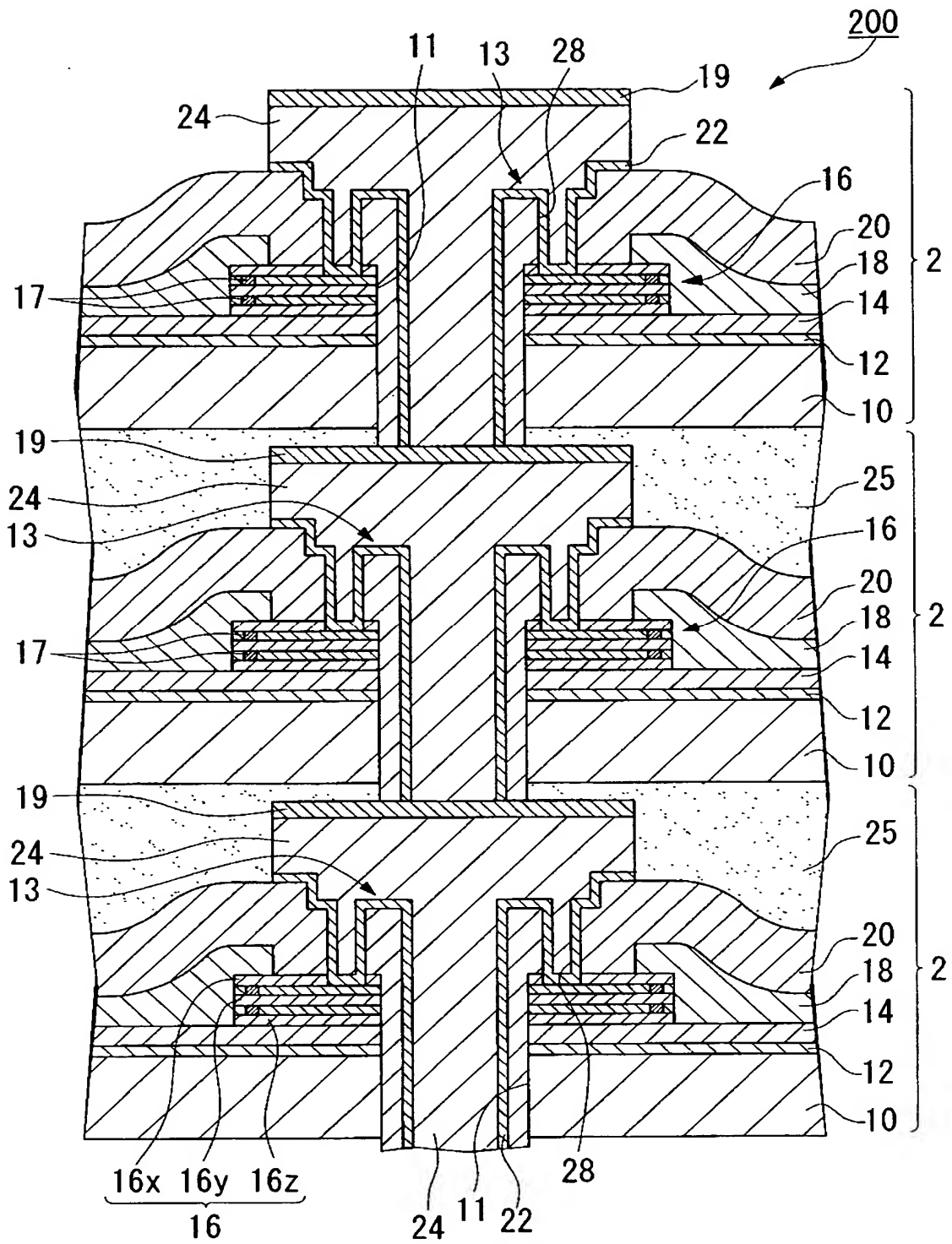


【図 5】

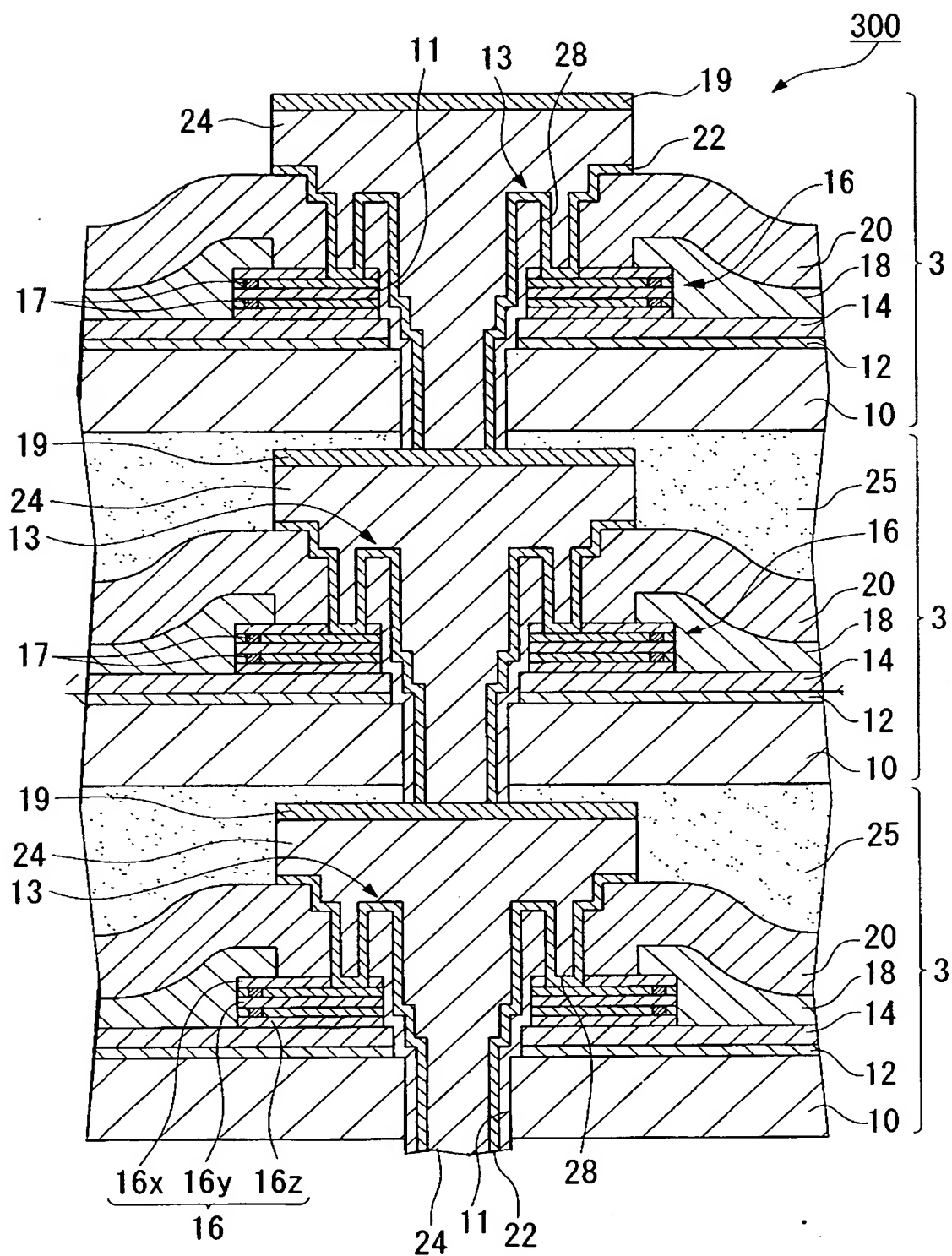




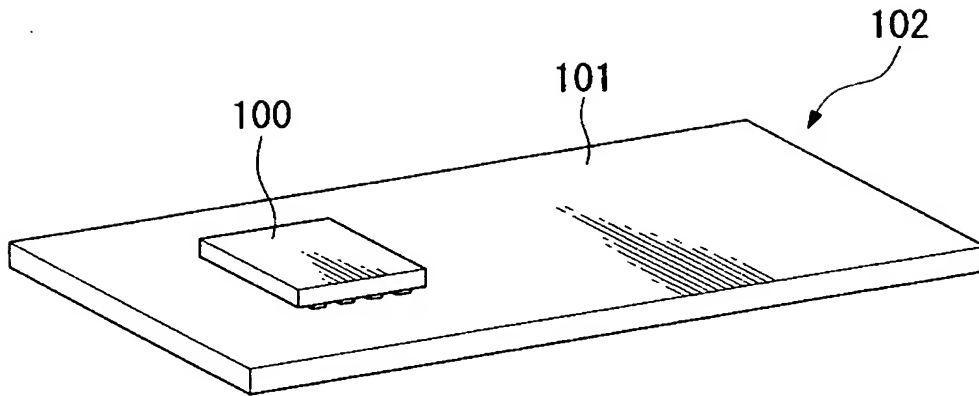
【図 7】



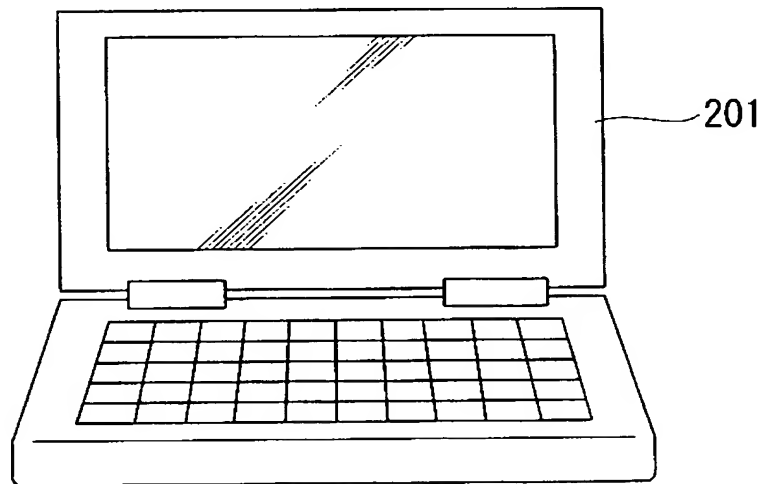
【图 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 良好な電氣的接続状態を確保した信頼性の高い半導体装置を提供する。

【解決手段】 本発明の半導体装置は、基板 10 上に電極層 16 が積層された構成を含む半導体装置であって、電極層 16 は複数の導電層 16 x, 16 y, 16 z がそれぞれ絶縁層 15 b, 15 a を介して積層された構成を具備してなり、該電極層 16 x, 16 y, 16 z の最上層の導電層 16 x より下層側の導電層 16 y, 16 z には貫通孔 61 が形成され、該貫通孔 61 内にはそれぞれ絶縁材料が充填されていることを特徴とする。

【選択図】 図 2



## 認定・付加情報

|         |                   |
|---------|-------------------|
| 特許出願の番号 | 特願 2003-424713    |
| 受付番号    | 50302106231       |
| 書類名     | 特許願               |
| 担当官     | 第一担当上席 0090       |
| 作成日     | 平成 15 年 12 月 26 日 |

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

|          |                        |
|----------|------------------------|
| 【識別番号】   | 000002369              |
| 【住所又は居所】 | 東京都新宿区西新宿 2 丁目 4 番 1 号 |
| 【氏名又は名称】 | セイコーエプソン株式会社           |

## 【代理人】

|          |  |
|----------|--|
| 申請人      |  |
| 【識別番号】   | 100095728                                  |
| 【住所又は居所】 | 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社 知的財産本部内 |
| 【氏名又は名称】 | 上柳 雅誉                                      |

## 【選任した代理人】

|          |  |
|----------|--|
| 【識別番号】   | 100107076                                  |
| 【住所又は居所】 | 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社 知的財産本部内 |
| 【氏名又は名称】 | 藤網 英吉                                      |

## 【選任した代理人】

|          |  |
|----------|--|
| 【識別番号】   | 100107261                                  |
| 【住所又は居所】 | 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社 知的財産本部内 |
| 【氏名又は名称】 | 須澤 修                                       |

特願 2 0 0 3 - 4 2 4 7 1 3

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 3 6 9 ]

|          |                        |
|----------|------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 0 日    |
| [変更理由]   | 新規登録                   |
| 住 所      | 東京都新宿区西新宿 2 丁目 4 番 1 号 |
| 氏 名      | セイコーエプソン株式会社           |